

PAT-NO: JP410041511A

DOCUMENT-IDENTIFIER: JP 10041511 A

TITLE: SOI WAFER AND SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE
USING THE WAFER AND ITS MANUFACTURING
METHOD

PUBN-DATE: February 13, 1998

INVENTOR-INFORMATION:
NAME
MIYAKE, TAMOTSU

ASSIGNEE-INFORMATION:
NAME
HITACHI LTD

COUNTRY
N/A

APPL-NO: JP08190139

APPL-DATE: July 19, 1996

INT-CL (IPC): H01L029/786, H01L027/108 , H01L021/8242 ,
H01L027/12

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify and minimize a device structure of an semiconductor integrated circuit device using an SOI(silicon on insulator) wafer.

SOLUTION: An n type semiconductor region 3 for wiring having a higher impurity concentration than a semiconductor substrate 1 for a base and a p type semiconductor region 5 are formed at a selected region of the semiconductor substrate 1 for a base of an SOI wafer in an integrated

circuit device. And a
manufacturing method for the semiconductor integrated
circuit device using the
SOI wafer is composed of after forming semiconductor
elements on a
semiconductor substrate 7 for element molding and of
forming a wiring layer 22
and so on for semiconductor elements on the semiconductor
substrate 7 for
element molding.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41511

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 3 B
	27/108		27/12	Z
	21/8242		27/10	6 2 5 A
	27/12			6 7 1 C
			29/78	6 2 6 C
審査請求 未請求 請求項の数 9 O L (全 11 頁)				

(21) 出願番号 特願平8-190139

(22) 出願日 平成8年(1996) 7月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三宅 保

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

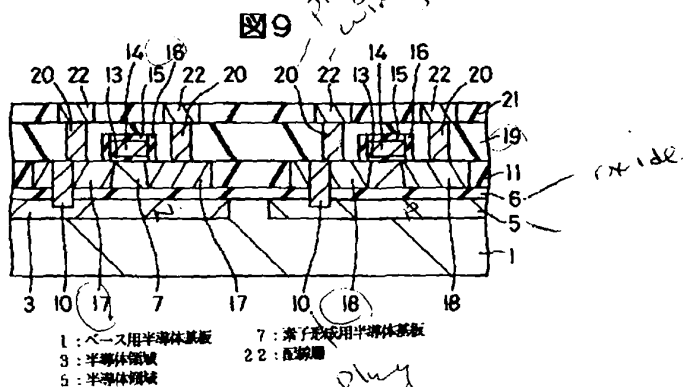
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 S O I ウエハおよびそれを用いた半導体集積回路装置ならびにその製造方法

(57) 【要約】

【課題】 S O I ウエハを用いた半導体集積回路装置において、デバイス構造の簡略化と微細化ができる半導体集積回路装置およびその製造方法を提供する。

【解決手段】 S O I ウエハにおけるベース用半導体基板1の選択的な領域にベース用半導体基板1よりも高不純物濃度の配線用のn型の半導体領域3およびp型の半導体領域5が形成されているものである。また、そのS O I ウエハを用いた半導体集積回路装置の製造方法は、素子形成用半導体基板7に複数の半導体素子を形成した後、素子形成用半導体基板7の上に半導体素子の配線層22などを形成するものである。



【特許請求の範囲】

【請求項1】 ベース用半導体基板の上に絶縁膜を介して素子形成用半導体基板が設けられているSOIウエハであって、前記絶縁膜の下のベース用半導体基板の選択的な領域に前記ベース用半導体基板よりも高不純物濃度の配線用の半導体領域が設けられていることを特徴とするSOIウエハ。

【請求項2】 請求項1記載のSOIウエハであって、前記配線用の半導体領域と前記素子形成用半導体基板とがコンタクトプラグによって電気的に接続されていることを特徴とするSOIウエハ。

【請求項3】 請求項1または2記載のSOIウエハであって、前記配線用の半導体領域とpn接合を形成している半導体領域が設けられており、そのpn接合による容量を容量素子としていることを特徴とするSOIウエハ。

【請求項4】 ベース用半導体基板の上に絶縁膜を介して素子形成用半導体基板が設けられているSOIウエハであって、前記絶縁膜の下のベース用半導体基板の選択的な領域を容量素子用の一方の電極とし、その電極の領域に容量素子用の絶縁膜および容量素子用の他方の電極としてのコンタクトプラグが設けられていることを特徴とするSOIウエハ。

【請求項5】 請求項4記載のSOIウエハであって、前記ベース用半導体基板の選択的な領域に前記ベース用半導体基板よりも高不純物濃度の配線用の半導体領域が設けられていることを特徴とするSOIウエハ。

【請求項6】 請求項1～5のいずれか1項に記載のSOIウエハであって、前記コンタクトプラグは、柱形状、すなわち、ピラーであることを特徴とするSOIウエハ。

【請求項7】 請求項1～6のいずれか1項に記載のSOIウエハにおける素子形成用半導体基板に複数の半導体素子が形成されていることを特徴とする半導体集積回路装置。

【請求項8】 請求項1～6のいずれか1項に記載のSOIウエハにおける素子形成用半導体基板に複数の半導体素子を形成する工程と、前記素子形成用半導体基板の上に前記半導体素子の配線層を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法であって、前記配線層の一部は、前記素子形成用半導体基板の上に形成された絶縁膜にコンタクトホールが形成されており、そのコンタクトホールにコンタクトプラグが埋め込まれている配線層であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、SOIウエハおよびそれを用いた半導体集積回路装置ならびにその製造方

法に関し、特に、多層配線構造の半導体集積回路装置をSOIウエハを用いて製造する場合などの半導体集積回路装置の製造方法に関するものである。

【0002】

【従来の技術】とて、本発明者は、SOI (Silicon on Insulator) ウエハを用いた半導体集積回路装置の製造技術について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】すなわち、SOIウエハの絶縁膜の上に配置されている素子形成用半導体基板にMOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの半導体素子を形成した後、その素子形成用半導体基板の上に配線層を形成することによって、SOIウエハを用いた半導体集積回路装置を製造している。

【0004】なお、SOIウエハを用いた半導体集積回路装置の製造技術について記載されている文献としては、例えば1990年12月15日、啓学出版株式会社発行のW・マリ著「図説超LSI工学」p321～p325に記載されているものがある。

【0005】

【発明が解決しようとする課題】とて、前述したSOIウエハを用いた半導体集積回路装置は、SOIウエハの絶縁膜より上層部に半導体素子とその配線層とを積層した構造であることによって、半導体集積回路装置の製造技術の微細化が進むにつれて半導体素子および配線層の構造が多層化されて、半導体集積回路装置の縦方向の構造が複雑化するという問題点が発生している。

【0006】また、半導体集積回路装置の製造技術の微細化が進むにつれて半導体素子および配線層の構造が多層化されて、半導体集積回路装置の縦方向の構造が複雑化することによって、LSI (Large Scale Integrated Circuit) チップの平坦性を確保することが困難となり、LSIの製造プロセスの自由度が低減して、微細構造のLSIを製造するのが困難となっている。

【0007】さらに、半導体集積回路装置の製造技術の微細化が進むにつれて半導体素子および配線層の構造が多層化されて、半導体集積回路装置の縦方向の構造が複雑化することによって、各層間に形成される寄生容量および各層とシリコン領域の界面との間に形成される寄生MOSFETの影響が無視できなくなり、デバイスの設計手法なども複雑となっている。

【0008】本発明の目的は、SOIウエハを用いた半導体集積回路装置において、デバイス構造の簡略化と微細化ができる半導体集積回路装置およびその製造方法を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明のSOIウエハは、ベース用半導体基板の選択的な領域にベース用半導体基板よりも高不純物濃度の配線用の半導体領域または容量素子が設けられているものである。

【0012】本発明の半導体集積回路装置は、前記SOIウエハにおける素子形成用半導体基板に複数の半導体素子が形成されているものである。

【0013】本発明の半導体集積回路装置の製造方法は、前記SOIウエハにおける素子形成用半導体基板に複数の半導体素子を形成する工程と、素子形成用半導体基板の上に半導体素子の配線層を形成する工程とを有するものである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0015】(実施の形態1)図1～図9は、本発明の一実施の形態であるSOIウエハを用いた半導体集積回路装置の製造工程を示す断面図である。同図などを用いて、本実施の形態のSOIウエハおよびその製造方法ならびにそのSOIウエハを用いた半導体集積回路装置とその製造方法を具体的に説明する。

【0016】まず、SOIウエハにおけるベース用半導体基板1となる例えばp型のシリコン基板を用意し、その表面にフォトリソ膜2を回転塗布装置を使用して塗布した後、露光装置を使用してフォトリソ膜2のパターニングを行う。パターニングされたフォトリソ膜2をマスクとして、ベース用半導体基板1に例えばリン(P)などのn型不純物をイオン注入法によって高不純物濃度をもってイオン打ち込みする。その後、不要となったフォトリソ膜2を取り除いた後、イオン打ち込みされているn型不純物を熱拡散して、配線用のn型の半導体領域3をベース用半導体基板1に形成する(図1)。

配線用のn型の半導体領域3は高不純物濃度のn型不純物が含まれているので低抵抗なもので電気的特性の優れた配線層とすることができる。また、配線用のn型の半導体領域3は、本実施の形態のCMOS(Complementary Metal Oxide Semiconductor)型半導体集積回路装置のnチャネルMOSFETの配線層として使用されるものである。

【0017】次に、ベース用半導体基板1の表面にフォトリソ膜4を回転塗布装置を使用して塗布した後、露光装置を使用してフォトリソ膜4のパターニングを行う。パターニングされたフォトリソ膜4をマスクとして、ベース用半導体基板1に例えばホウ素(B)などのp型不純物をイオン注入法によって高不純物濃度をもってイオン打ち込みする。その後、不要となったフ

トリソ膜4を取り除いた後、イオン打ち込みされているp型不純物を熱拡散して、配線用のp型の半導体領域5をベース用半導体基板1に形成する(図2)。配線用のp型の半導体領域5は高不純物濃度のp型不純物が含まれているので低抵抗なもので電気的特性の優れた配線層とすることができる。また、配線用のp型の半導体領域5は、本実施の形態のCMOS型半導体集積回路装置のpチャネルMOSFETの配線層として使用されるものである。

【0018】その後、ベース用半導体基板1の表面に例えば酸化シリコン膜などの絶縁膜6を形成した後、例えばp型のシリコン基板などの素子形成用半導体基板7を絶縁膜6の表面に貼り合わせた後、必要に応じて素子形成用半導体基板7の表面を研磨して所定の厚さでしかも平坦化された素子形成用半導体基板7とする(図3)。

【0019】前述した製造工程によって、配線層としてのn型の半導体領域3およびp型の半導体領域5を備えているベース用半導体基板1の上に絶縁膜6を介在させて素子形成用半導体基板7が形成されている構造とし、本実施の形態のSOIウエハを形成することができる。

【0020】次に、本実施の形態のSOIウエハにおける配線層としてのn型の半導体領域3およびp型の半導体領域5のためのコンタクトホール9を形成する(図4)。具体的には、本実施の形態のSOIウエハの表面にフォトリソ膜8を回転塗布装置を使用して塗布した後、フォトリソグラフィ技術と選択エッチング技術とを用いて、配線層としてのn型の半導体領域3およびp型の半導体領域5に接触している深い溝構造のコンタクトホール9を形成する。その後、不要となったフォトリソ膜8を取り除いた後、コンタクトホール9に導電性の材料を埋め込んでコンタクトプラグ10を形成する(図5)。コンタクトプラグ10は、柱形状、すなわち、ヒラー(pillar)であり、例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD(Chemical Vapor Deposition)法を用いて形成する。

【0021】その後、熱酸化処理法によって、素子形成用半導体基板7の選択的な領域に素子分離用の絶縁膜としてのフィールド絶縁膜11を形成する(図6)。次に、pチャネルMOSFETを形成する領域の素子形成用半導体基板7に例えばホウ素などのp型不純物をイオン注入法によってイオン打ち込みして、p型の半導体領域12を形成する。その後、nチャネルMOSFETおよびpチャネルMOSFETを形成する領域にゲート絶縁膜13、ゲート電極14、絶縁膜15および側壁絶縁膜16を形成した後、nチャネルMOSFETのソース/ドレインとしての高不純物濃度のn型の半導体領域17とpチャネルMOSFETのソース/ドレインとしての高不純物濃度のp型の半導体領域18を形成する(図7)。

5

【0022】次に、SOIウエハの上に例えばCVD法を使用して酸化シリコン膜などの絶縁膜19を形成する。その後、nチャネルMOSFETのソース/ドレインとしてのn型の半導体領域17とpチャネルMOSFETのソース/ドレインとしてのp型の半導体領域18のためのコンタクトホールを形成した後、そのコンタクトホールに導電性の材料を埋め込んでコンタクトプラグ20を形成する(図8)。具体的には、絶縁膜19の表面にフォトリソグラフィ技術と選択エッチング技術とを用いて、深い溝構造のコンタクトホールを形成する。その後、不要となったフォトリソグラフィ膜を取り除いた後、コンタクトホールに導電性の材料を埋め込んでコンタクトプラグ20を例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。図10に示すように、コンタクトプラグ20は複数個形成して、コンタクト抵抗を低減している。なお、図10は図8に示す半導体集積回路装置の断面領域の近傍の平面を透視的に示す概略平面図である。

【0023】その後、SOIウエハの上に例えばCVD法を使用して酸化シリコン膜などの絶縁膜21を形成し、その絶縁膜21にスルーホールを形成した後、そのスルーホールに導電性の材料を埋め込んで配線層22を形成する(図9)。具体的には、絶縁膜21の表面にフォトリソグラフィ技術と選択エッチング技術とを用いて、スルーホールを形成する。その後、不要となったフォトリソグラフィ膜を取り除いた後、スルーホールに導電性の材料を埋め込んで配線層22を例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。

【0024】なお、絶縁膜21および配線層22を形成する他の態様として、SOIウエハの上に導電性の材料からなる配線層22を形成した後、フォトリソグラフィ技術と選択エッチング技術を用いて、配線層22のパターニングを行った後、絶縁膜21を形成し、必要に応じてその表面を研磨して平坦化を行う製造工程を採用することができる。

【0025】次に、配線層22の上に層間絶縁膜および上層配線層を必要に応じて複数層形成した後、最上層の配線層の上に例えば窒化シリコン膜などの表面保護膜(図示を省略)を形成することにより、半導体集積回路装置の製造工程を終了する。

【0026】前述した本実施の形態のSOIウエハによれば、絶縁膜6の下ベース用半導体基板1に配線層としてのn型の半導体領域3およびp型の半導体領域5を備えていることによって、素子形成用半導体基板7に形成する半導体素子およびその配線層を形成する場合に、

6

ベース用半導体基板1に形成されている配線層を利用できるので、半導体素子の配線領域の設計仕様の自由度が向上すると共に素子形成用半導体基板7の上に形成する配線層の多層構造を低減できるので、デバイス構造の簡略化および微細化ができる。

【0027】また、前述した本実施の形態のSOIウエハを用いた半導体集積回路装置およびその製造方法によれば、配線層としてのn型の半導体領域3およびp型の半導体領域5を備えているベース用半導体基板1を有するSOIウエハを用いていることによって、素子形成用半導体基板7に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板1に形成されている配線層を利用できるので、半導体素子の配線領域の設計仕様の自由度が向上すると共に素子形成用半導体基板7の上に形成する配線層の多層構造を低減できる。したがって、半導体素子の面積を低減できると共に素子形成用半導体基板7の上に形成する配線層の平坦性を向上することができ、簡単な製造工程を用いて高性能な半導体集積回路装置を製造することができる。

【0028】(実施の形態2)図11~図18は、本発明の他の実施の形態であるSOIウエハを用いた半導体集積回路装置の製造工程を示す断面図である。同図を用いて、本実施の形態のSOIウエハおよびその製造方法ならびにそのSOIウエハを用いた半導体集積回路装置とその製造方法を具体的に説明する。

【0029】まず、SOIウエハにおけるベース用半導体基板1となる例えばp型のシリコン基板を用意し、その表面にフォトリソグラフィ膜2を回転塗布装置を使用して塗布した後、露光装置を使用してフォトリソグラフィ膜2のパターニングを行う。パターニングされたフォトリソグラフィ膜2をマスクとして、ベース用半導体基板1に深い溝23を選択エッチング法を用いて形成する。その後、不要となったフォトリソグラフィ膜2を取り除いた後、溝23の側壁に例えばCVD法を用いて酸化シリコン膜などの絶縁膜24を形成する(図11)。絶縁膜24は、容量素子の絶縁膜として使用されるものである。

【0030】次に、絶縁膜24が形成されている溝23に導電性の材料を埋め込んでコンタクトプラグ25を形成する。コンタクトプラグ25は、柱形状、すなわち、ピラーであり、例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。このコンタクトプラグ25は容量素子の一方の電極となるものであり、容量素子の絶縁膜としての絶縁膜24に接触しているベース用半導体基板1の領域は容量素子の他方の電極として使用している。また、本実施の形態の容量素子は、DRAM(Dynamic Random Access Memory)の容量素子として使用されるものである。その後、ベース用半導体基板1の表面にフォトリソグラフィ膜4を回転塗布装置を使用して塗布した後、露光装置を使

用してフォトリソ膜4のパターンニングを行う。パターンニングされたフォトリソ膜4をマスクとして、例えばリンなどのn型不純物をイオン注入法によって高不純物濃度をもってイオン打ち込みする。その後、不要となったフォトリソ膜4を取り除いた後、イオン打ち込みされているn型不純物を熱拡散して、配線用のn型の半導体領域3をベース用半導体基板1に形成する(図12)。配線用のn型の半導体領域3は高不純物濃度のn型不純物が含まれているので低抵抗なもので電気的特性の優れた配線層とすることができる。また、配線用のn型の半導体領域3は、本実施の形態のDRAMの配線層(ビット線)として使用されるものである。

【0031】次に、ベース用半導体基板1の表面に例えば酸化シリコン膜などの絶縁膜6を形成した後、例えばp型のシリコン基板などの素子形成用半導体基板7を絶縁膜6の表面に貼り合わせた後、必要に応じて素子形成用半導体基板7の表面を研磨して所定の厚さでしかも平坦化された素子形成用半導体基板7とする(図13)。

【0032】前述した製造工程によって、容量素子と配線層としてのn型の半導体領域3を備えているベース用半導体基板1の上に絶縁膜6を介在させて素子形成用半導体基板7が形成されている構造とし、本実施の形態のSOIウエハを形成することができる。

【0033】次に、本実施の形態のSOIウエハにおけるコンタクトプラグ25およびn型の半導体領域3のためのコンタクトホール9を形成する(図14)。具体的には、本実施の形態のSOIウエハの表面にフォトリソ膜8を回転塗布装置を使用して塗布した後、フォトリソグラフィ技術と選択エッチング技術とを用いて、コンタクトプラグ25およびn型の半導体領域3に接触している深い溝構造のコンタクトホール9を形成する。その後、不要となったフォトリソ膜8を取り除いた後、コンタクトホール9に導電性の材料を埋め込んでコンタクトプラグ10を形成する(図15)。コンタクトプラグ10は、柱形状、すなわち、ヒラーであり、例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。

【0034】その後、熱酸化処理法によって、素子形成用半導体基板7の選択的な領域に素子分離用の絶縁膜としてのフィールド絶縁膜11を形成する(図16)。次に、nチャネルMOSFETを形成する領域にゲート絶縁膜13、ゲート電極14、絶縁膜15および側壁絶縁膜16を形成した後、nチャネルMOSFETのソース/ドレインとしての高不純物濃度のn型の半導体領域17を形成する(図17)。

【0035】次に、SOIウエハの上に例えばCVD法を使用して酸化シリコン膜などの絶縁膜19を形成する。その後、nチャネルMOSFETのゲート電極14のためのコンタクトホールを形成した後、そのコンタク

トホールに導電性の材料を埋め込んでコンタクトプラグ20を形成する。具体的には、絶縁膜19の表面にフォトリソ膜を回転塗布装置を使用して塗布した後、フォトリソグラフィ技術と選択エッチング技術とを用いて、深い溝構造のコンタクトホールを形成する。その後、不要となったフォトリソ膜を取り除いた後、コンタクトホールに導電性の材料を埋め込んでコンタクトプラグ20を例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。

【0036】その後、SOIウエハの上に例えばCVD法を使用して酸化シリコン膜などの絶縁膜21を形成し、その絶縁膜21にスルーホールを形成した後、そのスルーホールに導電性の材料を埋め込んで配線層(DRAMのワード線として使用される配線層)22を形成する(図18)。具体的には、絶縁膜21の表面にフォトリソ膜を回転塗布装置を使用して塗布した後、フォトリソグラフィ技術と選択エッチング技術とを用いて、スルーホールを形成する。その後、不要となったフォトリソ膜を取り除いた後、スルーホールに導電性の材料を埋め込んで配線層22を例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。

【0037】なお、絶縁膜21および配線層22を形成する他の態様として、SOIウエハの上に導電性の材料からなる配線層22を形成した後、フォトリソグラフィ技術と選択エッチング技術とを用いて、配線層22のパターンニングを行った後、絶縁膜21を形成し、必要に応じてその表面を研磨して平坦化を行う製造工程を採用することができる。

【0038】次に、配線層22の上に層間絶縁膜および上層配線層を必要に応じて複数層形成した後、最上層の配線層の上に例えば酸化シリコン膜などの表面保護膜(図示を省略)を形成することにより、半導体集積回路装置の製造工程を終了する。

【0039】前述した本実施の形態のSOIウエハによれば、絶縁膜6の下ベース用半導体基板1に容量素子および配線層としてのn型の半導体領域3を備えていることによって、素子形成用半導体基板7に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板1に形成されている容量素子および配線層を利用できるので、デバイス構造の簡略化および微細化ができる。

【0040】また、前述した本実施の形態のSOIウエハを用いた半導体集積回路装置およびその製造方法によれば、例えばDRAMなどに使用されている容量素子および配線層としてのn型の半導体領域3を備えているベース用半導体基板1を有するSOIウエハを用いている

ことによって、素子形成用半導体基板7に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板1に形成されている容量素子および配線層を利用できるので、素子形成用半導体基板7とその上に形成する配線層の領域に容量素子を形成するのを低減できる。また、素子形成用半導体基板7に形成する半導体素子の配線領域の設計仕様の自由度が向上すると共に素子形成用半導体基板7の上に形成する配線層の多層構造を低減できる。したがって、半導体素子の面積を低減できると共に素子形成用半導体基板7の上に形成する配線層の平坦性を向上することができ、簡単な製造工程を用いて高性能なDRAMなどの半導体集積回路装置を製造することができる。

【0041】(実施の形態3)図19～図23は、本発明の他の実施の形態であるSOIウエハの製造工程を示す断面図である。同図を用いて、本実施の形態のSOIウエハおよびその製造方法を具体的に説明する。

【0042】まず、SOIウエハにおけるベース用半導体基板1となる例えばp型のシリコン基板を用意し、その表面にフォトリソ膜2を回転塗布装置を使用して塗布した後、露光装置を使用してフォトリソ膜2のパターニングを行う。パターニングされたフォトリソ膜2をマスクとして、ベース用半導体基板1に例えばリンなどのn型不純物をイオン注入法によって高不純物濃度をもってイオン打ち込みする。その後、不要となったフォトリソ膜2を取り除いた後、イオン打ち込みされているn型不純物を熱拡散して、配線用のn型の半導体領域3をベース用半導体基板1に形成する(図19)。配線用のn型の半導体領域3は高不純物濃度のn型不純物が含まれているので低抵抗なもので電気的特性の優れた配線層とすることができる。

【0043】次に、ベース用半導体基板1の表面にフォトリソ膜4を回転塗布装置を使用して塗布した後、露光装置を使用してフォトリソ膜4のパターニングを行う。パターニングされたフォトリソ膜4をマスクとして、ベース用半導体基板1に例えばホウ素などのp型不純物をイオン注入法によって高不純物濃度をもってイオン打ち込みする。その後、不要となったフォトリソ膜4を取り除いた後、イオン打ち込みされているp型不純物を熱拡散して、容量素子用のp型の半導体領域5をベース用半導体基板1に形成する(図20)。この場合、本実施の形態の容量素子は、n型の半導体領域3とp型の半導体領域5とのpn接合の容量を使用したものである。

【0044】その後、ベース用半導体基板1の表面に例えば酸化シリコン膜などの絶縁膜6を形成した後、例えばp型のシリコン基板などの素子形成用半導体基板7を絶縁膜6の表面に貼り合わせた後、必要に応じて素子形成用半導体基板7の表面を研磨して所定の厚さでしかも平坦化された素子形成用半導体基板7とする(図2

1)。

【0045】前述した製造工程によって、配線層としてのn型の半導体領域3およびそれとpn接合を形成しているp型の半導体領域5のpn接合の容量を使用している容量素子を備えているベース用半導体基板1の上に絶縁膜6を介在させて素子形成用半導体基板7が形成されている構造とし、本実施の形態のSOIウエハを形成することができる。

【0046】次に、本実施の形態のSOIウエハにおける配線層としてのn型の半導体領域3のためのコンタクトホール9を形成する(図22)。具体的には、本実施の形態のSOIウエハの表面にフォトリソ膜8を回転塗布装置を使用して塗布した後、フォトリソグラフィ技術と選択エッチング技術とを用いて、配線層としてのn型の半導体領域3に接触している深い溝構造のコンタクトホール9を形成する。その後、不要となったフォトリソ膜8を取り除いた後、コンタクトホール9に導電性の材料を埋め込んでコンタクトプラグ10を形成する(図23)。コンタクトプラグ10は、柱形状、すなわち、ヒラーであり、例えばタングステンまたはチタンなどの高融点金属または導電性の多結晶シリコンなどの材料を使用して、スパッタリング法またはCVD法を用いて形成する。

【0047】前述した本実施の形態のSOIウエハによれば、絶縁膜6の下ベース用半導体基板1にpn接合の容量を使用した容量素子および配線層としてのn型の半導体領域3を備えていることによって、素子形成用半導体基板7に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板1に形成されている容量素子および配線層を利用できるので、デバイス構造の簡略化および微細化ができる。

【0048】また、前述した本実施の形態のSOIウエハを用いた半導体集積回路装置およびその製造方法によれば、容量素子および配線層としてのn型の半導体領域3を備えているベース用半導体基板1を有するSOIウエハを用いていることによって、その容量素子および配線層を例えばDRAMなどの半導体集積回路装置に使用できる。したがって、前述した実施の形態2の半導体集積回路装置およびその製造方法と同様な効果を得ることができる。

【0049】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0050】たとえば、SOIウエハにおけるベース用半導体基板に半導体領域からなる配線層を形成する場合に、ベース用半導体基板の上に絶縁膜を介して素子形成用半導体基板が形成されているSOIウエハにおける素子形成用半導体基板の表面からイオン注入法によって絶

絶縁膜の下のベース用半導体基板に不純物をイオン打ち込みして配線用の高不純物濃度の半導体領域を形成する態様とすることができる。

【0051】また、SOIウエハにおける素子形成用半導体基板に形成する半導体素子としては、MOSFET、CMOSFET、バイポーラトランジスタまたはMOSFETとバイポーラトランジスタを組み合わせたBiMOSあるいはBiCMOS構造などの種々の半導体素子を組み合わせた態様とすることができる。

【0052】さらに、SOIウエハにおける素子形成用半導体基板に形成する半導体素子としては、DRAM、FRAM (Ferroelectric RAM) またはSRAMなどのメモリセルを構成する半導体素子の態様とすることができる。

【0053】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0054】(1)、本発明のSOIウエハによれば、絶縁膜の下のベース用半導体基板に配線層としての半導体領域を備えていることによって、素子形成用半導体基板に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板に形成されている配線層を利用できるので、半導体素子の配線領域の設計仕様の自由度が向上すると共に素子形成用半導体基板の上に形成する配線層の多層構造を低減できるので、デバイス構造の簡略化および微細化ができる。

【0055】(2)、本発明のSOIウエハによれば、絶縁膜の下のベース用半導体基板に容量素子および配線層としての半導体領域を備えていることによって、素子形成用半導体基板に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板に形成されている容量素子および配線層を利用できるので、デバイス構造の簡略化および微細化ができる。

【0056】(3)、本発明のSOIウエハを用いた半導体集積回路装置およびその製造方法によれば、配線層としての半導体領域を備えているベース用半導体基板を有するSOIウエハを用いていることによって、素子形成用半導体基板に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板に形成されている配線層を利用できるので、半導体素子の配線領域の設計仕様の自由度が向上すると共に素子形成用半導体基板の上に形成する配線層の多層構造を低減できる。したがって、半導体素子の面積を低減できると共に素子形成用半導体基板の上に形成する配線層の平坦性を向上することができ、簡単な製造工程を用いて高性能な半導体集積回路装置を製造することができる。

【0057】(4)、本発明のSOIウエハを用いた半導体集積回路装置およびその製造方法によれば、例えばDRAMなどに使用されている容量素子および配線層と

しての半導体領域を備えているベース用半導体基板を有するSOIウエハを用いていることによって、素子形成用半導体基板に形成する半導体素子およびその配線層を形成する場合に、ベース用半導体基板に形成されている容量素子および配線層を利用できるので、素子形成用半導体基板とその上に形成する配線層の領域に容量素子を形成するのを低減できる。また、素子形成用半導体基板に形成する半導体素子の配線領域の設計仕様の自由度が向上すると共に素子形成用半導体基板の上に形成する配線層の多層構造を低減できる。したがって、半導体素子の面積を低減できると共に素子形成用半導体基板の上に形成する配線層の平坦性を向上することができ、簡単な製造工程を用いて高性能なDRAMなどの半導体集積回路装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図2】図1に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図3】図2に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図4】図3に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図5】図4に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図6】図5に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図7】図6に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図8】図7に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図9】図8に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図10】図8に示す半導体集積回路装置の断面領域の近傍の平面を透視的に示す概略平面図である。

【図11】本発明の他の実施の形態であるSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図12】図11に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図13】図12に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図14】図13に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図15】図14に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図16】図15に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図17】図16に続くSOIウエハを用いた半導体集

13

14

積回路装置の製造工程を示す要部断面図である。

【図18】図17に続くSOIウエハを用いた半導体集積回路装置の製造工程を示す要部断面図である。

【図19】本発明の他の実施の形態であるSOIウエハの製造工程を示す要部断面図である。

【図20】図19に続くSOIウエハの製造工程を示す要部断面図である。

【図21】図20に続くSOIウエハの製造工程を示す要部断面図である。

【図22】図21に続くSOIウエハの製造工程を示す要部断面図である。

【図23】図22に続くSOIウエハの製造工程を示す要部断面図である。

【符号の説明】

- 1 ベース用半導体基板
- 2 フォトリソ膜
- 3 半導体領域
- 4 フォトリソ膜
- 5 半導体領域
- 6 絶縁膜

- 7 素子形成用半導体基板
- 8 フォトリソ膜
- 9 コンタクトホール
- 10 コンタクトプラグ
- 11 フィールド絶縁膜
- 12 半導体領域
- 13 ゲート絶縁膜
- 14 ゲート電極
- 15 絶縁膜
- 16 側壁絶縁膜
- 17 半導体領域
- 18 半導体領域
- 19 絶縁膜
- 20 コンタクトプラグ
- 21 絶縁膜
- 22 配線層
- 23 溝
- 24 絶縁膜
- 25 コンタクトプラグ

20

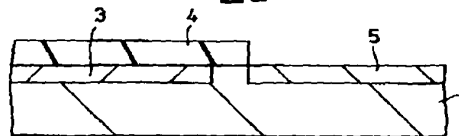
【図1】

図1



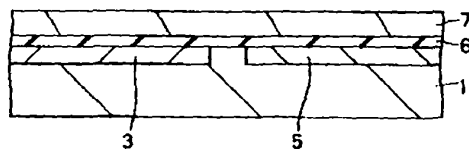
【図2】

図2



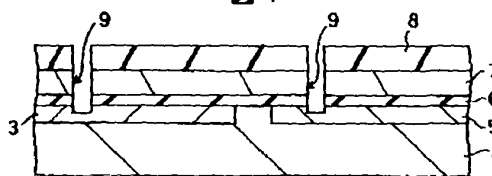
【図3】

図3



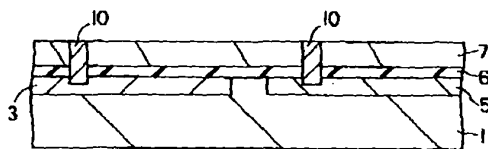
【図4】

図4



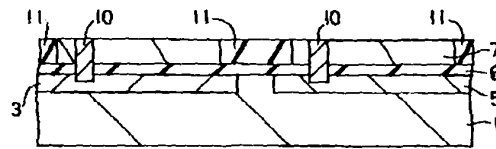
【図5】

図5



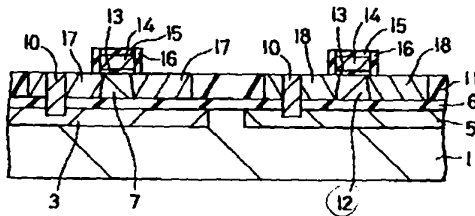
【図6】

図6



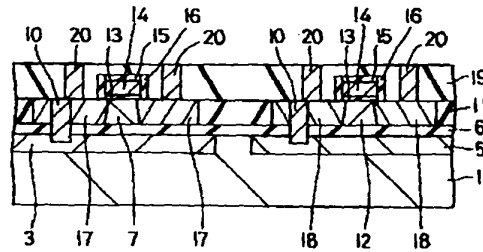
【図7】

図7



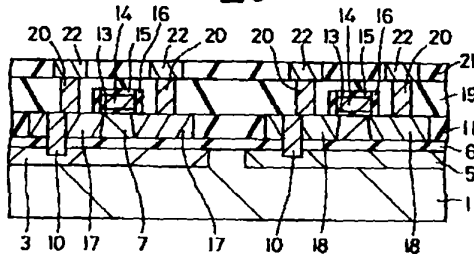
【図8】

図8



【図9】

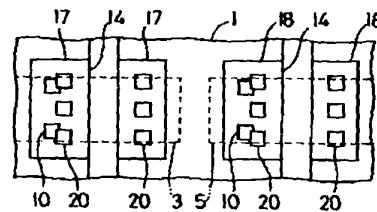
図9



1: ベース用半導体基板
3: 半導体領域
5: 半導体層
7: 素子形成用半導体基板
22: 配線層

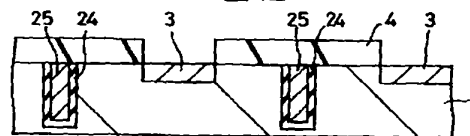
【図10】

図10



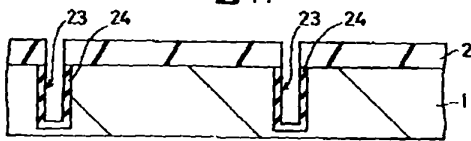
【図12】

図12



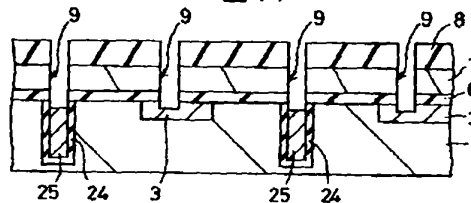
【図11】

図11



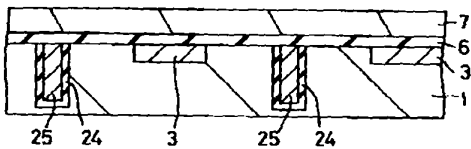
【図14】

図14

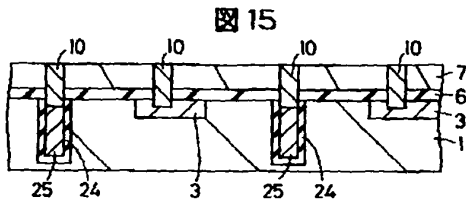


【図13】

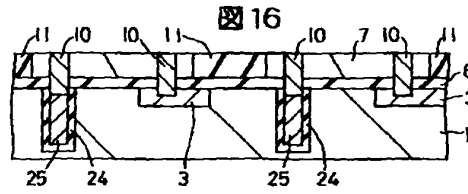
図13



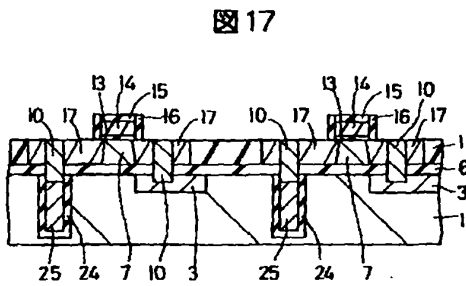
【図15】



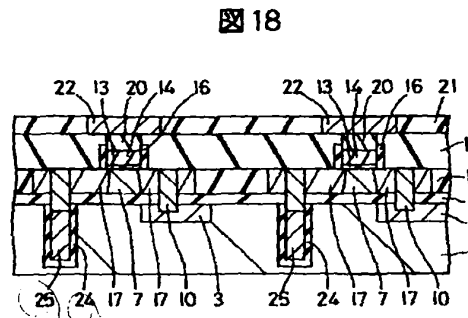
【図16】



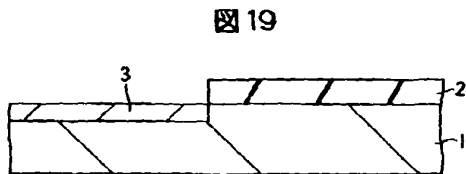
【図17】



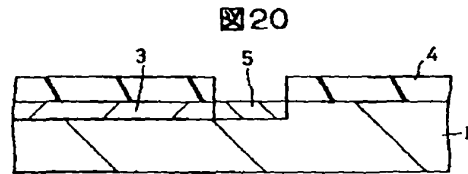
【図18】



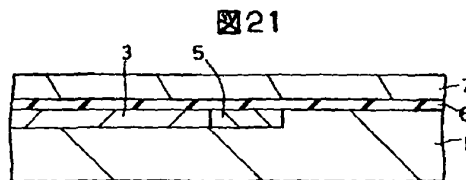
【図19】



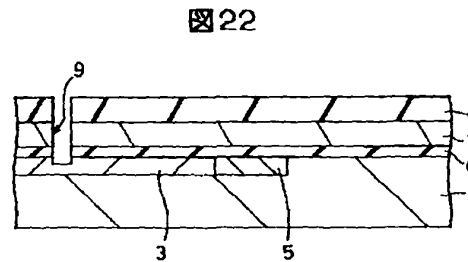
【図20】



【図21】



【図22】

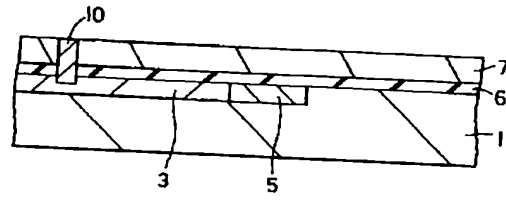


(11)

特開平10-41511

【図23】

図23



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of the semiconductor integrated circuit equipments in the case of manufacturing the semiconductor integrated circuit equipment of multilayer-interconnection structure especially about the manufacture method using a SOI wafer in the semiconductor integrated circuit equipment row which used a SOI wafer and it etc.

[0002]

[Description of the Prior Art] By the way, this invention person examined the manufacturing technology of semiconductor integrated circuit equipment which used the SOI (Silicon on Insulator) wafer. The following is the technology examined by this invention person, and the outline is as follows.

[0003] That is, after forming semiconductor devices, such as MOSFET (Metal Oxide Semiconductor Field Effect Transistor), in the semiconductor substrate for element formation arranged on the insulator layer of a SOI wafer, the semiconductor integrated circuit equipment using the SOI wafer is manufactured by forming a wiring layer on the semiconductor substrate for element formation.

[0004] In addition, as reference with which the manufacturing technology of the semiconductor integrated circuit equipment using the SOI wafer is indicated, there are some which are indicated by W and Mali work "illustration VLSI engineering" p321-p325 of **** publication incorporated company issue on December 15, 1990, for example.

[0005]

[Problem(s) to be Solved by the Invention] However, by being the structure which carried out the laminating of a semiconductor device and its wiring layer to the management from the insulator layer of a SOI wafer, the structure of a semiconductor device and a wiring layer was multilayered as detailed-ization of the manufacturing technology of semiconductor integrated circuit equipment progressed, and the trouble that the lengthwise structure of semiconductor integrated circuit equipment is complicated has generated the semiconductor integrated circuit equipment using the SOI wafer mentioned above.

[0006] Moreover, when the structure of a semiconductor device and a wiring layer is multilayered as detailed-ization of the manufacturing technology of semiconductor integrated circuit equipment progresses, and the lengthwise structure of semiconductor integrated circuit equipment is complicated, it is difficult for it to become difficult to secure the flat nature of an LSI (Large Scale Integrated Circuit) chip, and for the flexibility of the manufacture process of LSI to decrease, and to manufacture LSI of the fine structure.

[0007] Furthermore, when the structure of a semiconductor device and a wiring layer is multilayered as detailed-ization of the manufacturing technology of semiconductor integrated circuit equipment progresses, and the lengthwise structure of semiconductor integrated circuit equipment is complicated, it becomes impossible to disregard the influence of the parasitism MOSFET formed between the parasitic capacitance and each class which are formed between each class, and the interface of a silicon field, and the design technique of a device etc. is complicated.

[0008] The purpose of this invention is in the semiconductor integrated circuit equipment which used the SOI wafer to offer the semiconductor integrated circuit equipment which can perform simplification and detailed-izing of device structure, and its manufacture method.

[0009] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0010]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0011] Namely, as for the SOI wafer of this invention, the semiconductor region or capacitive element for wiring of high high impurity concentration is prepared in the field where the semiconductor substrate for the bases is alternative rather than the semiconductor substrate for the bases.

[0012] Two or more semiconductor devices are formed in the semiconductor substrate [in / the aforementioned SOI wafer / in the semiconductor integrated circuit equipment of this invention] for element formation.

[0013] The manufacture method of the semiconductor integrated circuit equipment of this invention has the process which forms two or more semiconductor devices in the semiconductor substrate for element formation in the aforementioned SOI

wafer, and the process which forms the wiring layer of a semiconductor device on the semiconductor substrate for element formation.

[0014]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and duplication explanation is omitted.

[0015] (Gestalt 1 of operation) Drawing 1 - drawing 9 are the cross sections showing the manufacturing process of the semiconductor integrated circuit equipment using the SOI wafer which is the gestalt of 1 operation of this invention. The semiconductor integrated circuit equipment which used the SOI wafer for the SOI wafer and its manufacture method row of a gestalt of this operation, and its manufacture method are concretely explained using this drawing etc.

[0016] First, after [used as the semiconductor substrate 1 for the bases in a SOI wafer] preparing a p type silicon substrate, for example and applying the photoresist film 2 to the front face using a rotation coater, patterning of the photoresist film 2 is performed using an aligner. The ion implantation of the n type impurities, such as Lynn (P), is carried out to the semiconductor substrate 1 for the bases with high high impurity concentration by using as a mask the photoresist film 2 by which patterning was carried out with ion-implantation. Then, after removing the photoresist film 2 which became unnecessary, thermal diffusion of the n type impurity by which ion implantation is carried out is carried out, and the semiconductor region 3 of n type for wiring is formed in the semiconductor substrate 1 for the bases (drawing 1). since n type impurity of high high impurity concentration [semiconductor region / of n type for wiring / 3] is contained -- low -- and it can consider as the wiring layer which was excellent in the electrical property. Moreover, the semiconductor region 3 of n type for wiring is used as a wiring layer of n channel MOS FET of the CMOS (Complementary Metal Oxide Semiconductor) type semiconductor integrated circuit equipment of the gestalt of this operation.

[0017] Next, after applying the photoresist film 4 to the front face of the semiconductor substrate 1 for the bases using a rotation coater, patterning of the photoresist film 4 is performed using an aligner. The ion implantation of the p type impurities, such as boron (B), is carried out to the semiconductor substrate 1 for the bases with high high impurity concentration by using as a mask the photoresist film 4 by which patterning was carried out with ion-implantation. Then, after removing the photoresist film 4 which became unnecessary, thermal diffusion of the p type impurity by which ion implantation is carried out is carried out, and the semiconductor region 5 of p type for wiring is formed in the semiconductor substrate 1 for the bases (drawing 2). since p type impurity of high high impurity concentration [semiconductor region / of p type for wiring / 5] is contained -- low -- and it can consider as the wiring layer which was excellent in the electrical property. Moreover, the semiconductor region 5 of p type for wiring is used as a wiring layer of p channel MOS FET of the CMOS type semiconductor integrated circuit equipment of the gestalt of this operation.

[0018] Then, on the front face of the semiconductor substrate 1 for the bases, after forming the insulator layers 6, such as a silicon-oxide film, (for example, after sticking the semiconductor substrates 7 for element formation, such as a p type silicon substrate, on the front face of an insulator layer 6), it considers as the semiconductor substrate 7 for element formation by which ground the front face of the semiconductor substrate 7 for element formation if needed, and flattening was moreover carried out by predetermined thickness (drawing 3).

[0019] It can consider as the structure where make an insulator layer 6 intervene and the semiconductor substrate 7 for element formation is formed of the manufacturing process mentioned above on the semiconductor substrate 1 for the bases equipped with the semiconductor region 3 of n type as a wiring layer, and the p type semiconductor region 5, and the SOI wafer of the gestalt of this operation can be formed.

[0020] Next, the contact hole 9 for the semiconductor region 3 of n type as a wiring layer in the SOI wafer of the gestalt of this operation and the p type semiconductor region 5 is formed (drawing 4). the photolithography technology after specifically applying the photoresist film 8 to the front face of the SOI wafer of the gestalt of this operation using a rotation coater, and selective-etching technology -- using -- n as a wiring layer -- it is in contact with the semiconductor region 3 of type, and the p type semiconductor region 5 -- the contact hole 9 of trench structure is formed. Then, after removing the photoresist film 8 which became unnecessary, a conductive material is embedded at a contact hole 9, and the contact plug 10 is formed (drawing 5). The contact plug 10 is a pilaster-like (pillar), i.e., a pillar, for example, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used for it, and it forms them using the sputtering method or the CVD (Chemical Vapor Deposition) method.

[0021] Then, the field insulator layer 11 as an insulator layer for isolation is formed in the alternative field of the semiconductor substrate 7 for element formation by the thermal oxidation approach (drawing 6). Next, the ion implantation of the p type impurities, such as boron, is carried out to the semiconductor substrate 7 for element formation of the field which forms p channel MOS FET with ion-implantation, and the p type semiconductor region 12 is formed. Then, after forming the gate insulator layer 13, the gate electrode 14, an insulator layer 15, and the side-attachment-wall insulator layer 16 in the field which forms n channel MOS FET and p channel MOS FET, the semiconductor region 17 of n type of high high impurity concentration as the source/a drain of n channel MOS FET and the semiconductor region 18 of p type of high high impurity concentration as the source/a drain of p channel MOS FET are formed (drawing 7).

[0022] Next, the insulator layers 19, such as a silicon-oxide film, are formed on a SOI wafer using CVD. Then, after forming the contact hole for the semiconductor region 17 of n type as the source/a drain of n channel MOS FET, and the semiconductor region 18 of p type as the source/a drain of p channel MOS FET, a conductive material is embedded at the contact hole, and the contact plug 20 is formed (drawing 8). Specifically, after applying a photoresist film to the front face of

an insulator layer 19 using a rotation coater, the contact hole of trench structure is formed using photolithography technology and selective-etching technology. Then, after removing the photoresist film which became unnecessary, a conductive material is embedded at a contact hole, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used, and the contact plug 20 is formed using the sputtering method or CVD. As shown in drawing 10, two or more contact plugs 20 are formed, and are reducing contact resistance. In addition, drawing 10 is the outline plan showing in transillumination the flat surface near the cross-section field of the semiconductor integrated circuit equipment shown in drawing 8.

[0023] Then, after forming the insulator layers 21, such as a silicon-oxide film, on a SOI wafer using CVD and forming a through hole in the insulator layer 21, a conductive material is embedded at the through hole, and a wiring layer 22 is formed (drawing 9). Specifically, after applying a photoresist film to the front face of an insulator layer 21 using a rotation coater, a through hole is formed using photolithography technology and selective-etching technology. Then, after removing the photoresist film which became unnecessary, a conductive material is embedded at a through hole, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used, and a wiring layer 22 is formed using the sputtering method or CVD.

[0024] In addition, after forming the wiring layer 22 which consists of a conductive material on a SOI wafer as other modes which form an insulator layer 21 and a wiring layer 22 and performing patterning of a wiring layer 22 using photolithography technology and selective-etching technology, an insulator layer 21 can be formed and the manufacturing process which grinds the front face if needed and performs flattening can be adopted.

[0025] Next, after forming a layer insulation film and the two or more layers upper wiring layer if needed on a wiring layer 22, the manufacturing process of semiconductor integrated circuit equipment is ended by forming surface-protection films (illustration being omitted), such as a silicon nitride film, on the wiring layer of the best layer.

[0026] According to the SOI wafer of the gestalt of this operation mentioned above, by equipping the semiconductor substrate 1 for the bases under an insulator layer 6 with the semiconductor region 3 of n type as a wiring layer, and the p type semiconductor region 5 Since the wiring layer currently formed in the semiconductor substrate 1 for the bases can be used when forming the semiconductor device formed in the semiconductor substrate 7 for element formation, and its wiring layer Since the multilayer structure of the wiring layer formed on the semiconductor substrate 7 for element formation can be reduced while the flexibility of the design specification of the wiring field of a semiconductor device improves, simplification and detailed-izing of device structure can be performed.

[0027] Moreover, according to the semiconductor integrated circuit equipment using the SOI wafer and its manufacture method of a gestalt of this operation mentioned above By using the SOI wafer which has the semiconductor substrate 1 for the bases equipped with the semiconductor region 3 of n type as a wiring layer, and the p type semiconductor region 5 Since the wiring layer currently formed in the semiconductor substrate 1 for the bases can be used when forming the semiconductor device formed in the semiconductor substrate 7 for element formation, and its wiring layer While the flexibility of the design specification of the wiring field of a semiconductor device improves, the multilayer structure of the wiring layer formed on the semiconductor substrate 7 for element formation can be reduced. Therefore, while being able to reduce the area of a semiconductor device, the flat nature of the wiring layer formed on the semiconductor substrate 7 for element formation can be improved, and highly efficient semiconductor integrated circuit equipment can be manufactured using an easy manufacturing process.

[0028] (Gestalt 2 of operation) Drawing 11 - drawing 18 are the cross sections showing the manufacturing process of the semiconductor integrated circuit equipment using the SOI wafer which is the gestalt of other operations of this invention. The semiconductor integrated circuit equipment which used the SOI wafer for the SOI wafer and its manufacture method row of a gestalt of this operation, and its manufacture method are concretely explained using this drawing.

[0029] First, after [used as the semiconductor substrate 1 for the bases in a SOI wafer] preparing a p type silicon substrate, for example and applying the photoresist film 2 to the front face using a rotation coater, patterning of the photoresist film 2 is performed using an aligner. By using as a mask the photoresist film 2 by which patterning was carried out, a selective-etching method is used and a trench 23 is formed in the semiconductor substrate 1 for the bases. Then, after removing the photoresist film 2 which became unnecessary, CVD is used for the side attachment wall of a slot 23, and the insulator layers 24, such as a silicon-oxide film, are formed (drawing 11). An insulator layer 24 is used as an insulator layer of capacitive element.

[0030] Next, a conductive material is embedded in the slot 23 in which the insulator layer 24 is formed, and the contact plug 25 is formed in it. The contact plug 25 is a pilaster-like, i.e., a pillar, for example, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used for it, and it forms them using the sputtering method or CVD. This contact plug 25 serves as one electrode of capacitive element, and is using the field of the semiconductor substrate 1 for the bases in contact with the insulator layer 24 as an insulator layer of capacitive element as an electrode of another side of capacitive element. Moreover, the capacitive element of the gestalt of this operation is used as capacitive element of DRAM (Dynamic Random Access Memory). Then, after applying the photoresist film 4 to the front face of the semiconductor substrate 1 for the bases using a rotation coater, patterning of the photoresist film 4 is performed using an aligner. The ion implantation of the n type impurities, such as Lynn, is carried out with high high impurity concentration by using as a mask the photoresist film 4 by which patterning was carried out with ion-implantation. Then, after removing the photoresist film 4 which became unnecessary, thermal diffusion of the n type impurity by which ion implantation is carried out is carried out, and the semiconductor region 3 of n type for wiring is formed in the semiconductor substrate 1 for the bases (drawing 12). since n type impurity of high high impurity concentration [semiconductor region / of n type for wiring / 3] is

contained -- low -- and it can consider as the wiring layer which was excellent in the electrical property. Moreover, the semiconductor region 3 of n type for wiring is used as a wiring layer (bit line) of DRAM of the gestalt of this operation. [0031] Next, on the front face of the semiconductor substrate 1 for the bases, after forming the insulator layers 6, such as a silicon-oxide film, (for example, after sticking the semiconductor substrates 7 for element formation, such as a p type silicon substrate, on the front face of an insulator layer 6), it considers as the semiconductor substrate 7 for element formation by which around the front face of the semiconductor substrate 7 for element formation if needed, and flattening was moreover carried out by predetermined thickness (drawing 13).

[0032] It can consider as the structure where make an insulator layer 6 intervene and the semiconductor substrate 7 for element formation is formed of the manufacturing process mentioned above on the semiconductor substrate 1 for the bases equipped with the semiconductor region 3 of n type as capacitive element and a wiring layer, and the SOI wafer of the gestalt of this operation can be formed.

[0033] Next, the contact hole 9 for the contact plug 25 in the SOI wafer of the gestalt of this operation and the n type semiconductor region 3 is formed (drawing 14). Specifically, after applying the photoresist film 8 to the front face of the SOI wafer of the gestalt of this operation using a rotation coater, it is in contact with the contact plug 25 and the n type semiconductor region 3 using photolithography technology and selective-etching technology -- the contact hole 9 of trench structure is formed. Then, after removing the photoresist film 8 which became unnecessary, a conductive material is embedded at a contact hole 9, and the contact plug 10 is formed (drawing 15). The contact plug 10 is a pillar-like, i.e., a pillar, for example, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used for it, and it forms them using the sputtering method or CVD.

[0034] Then, the field insulator layer 11 as an insulator layer for isolation is formed in the alternative field of the semiconductor substrate 7 for element formation by the thermal oxidation approach (drawing 16). Next, after forming the gate insulator layer 13, the gate electrode 14, an insulator layer 15, and the side-attachment-wall insulator layer 16 in the field which forms n channel MOS FET, the semiconductor region 17 of n type of high high impurity concentration as the source/a drain of n channel MOS FET is formed (drawing 17).

[0035] Next, the insulator layers 19, such as a silicon-oxide film, are formed on a SOI wafer using CVD. Then, after forming the contact hole for the gate electrode 14 of n channel MOS FET, a conductive material is embedded at the contact hole, and the contact plug 20 is formed. Specifically, after applying a photoresist film to the front face of an insulator layer 19 using a rotation coater, the contact hole of trench structure is formed using photolithography technology and selective-etching technology. Then, after removing the photoresist film which became unnecessary, a conductive material is embedded at a contact hole, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used, and the contact plug 20 is formed using the sputtering method or CVD.

[0036] Then, after forming the insulator layers 21, such as a silicon-oxide film, on a SOI wafer using CVD and forming a through hole in the insulator layer 21, a conductive material is embedded at the through hole, and a wiring layer (wiring layer used as a word line of DRAM) 22 is formed (drawing 18). Specifically, after applying a photoresist film to the front face of an insulator layer 21 using a rotation coater, a through hole is formed using photolithography technology and selective-etching technology. Then, after removing the photoresist film which became unnecessary, a conductive material is embedded at a through hole, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used, and a wiring layer 22 is formed using the sputtering method or CVD.

[0037] In addition, after forming the wiring layer 22 which consists of a conductive material on a SOI wafer as other modes which form an insulator layer 21 and a wiring layer 22 and performing patterning of a wiring layer 22 using photolithography technology and selective-etching technology, an insulator layer 21 can be formed and the manufacturing process which grinds the front face if needed and performs flattening can be adopted.

[0038] Next, after forming a layer insulation film and the two or more layers upper wiring layer if needed on a wiring layer 22, the manufacturing process of semiconductor integrated circuit equipment is ended by forming surface-protection films (illustration being omitted), such as a silicon nitride film, on the wiring layer of the best layer.

[0039] Since the capacitive element and the wiring layer which are formed in the semiconductor substrate 1 for the bases can be used when forming the semiconductor device formed in the semiconductor substrate 7 for element formation by equipping the semiconductor substrate 1 for the bases under an insulator layer 6 with the semiconductor region 3 of n type as capacitive element and a wiring layer, and its wiring layer according to the SOI wafer of the gestalt of this operation mentioned above, simplification and detailed-izing of device structure can be performed.

[0040] Moreover, according to the semiconductor integrated circuit equipment using the SOI wafer and its manufacture method of a gestalt of this operation mentioned above. For example, by using the SOI wafer which has the semiconductor substrate 1 for the bases equipped with the semiconductor region 3 of n type as the capacitive element currently used for DRAM etc., and a wiring layer. Since the capacitive element and the wiring layer which are formed in the semiconductor substrate 1 for the bases can be used when forming the semiconductor device formed in the semiconductor substrate 7 for element formation, and its wiring layer, it can reduce forming capacitive element in the field of the semiconductor substrate 7 for element formation, and the wiring layer formed on it. Moreover, while the flexibility of the design specification of the wiring field of the semiconductor device formed in the semiconductor substrate 7 for element formation improves, the multilayer structure of the wiring layer formed on the semiconductor substrate 7 for element formation can be reduced. Therefore, while being able to reduce the area of a semiconductor device, the flat nature of the wiring layer formed on the semiconductor substrate 7 for element formation can be improved, and semiconductor integrated circuit equipments, such as

highly efficient DRAM, can be manufactured using an easy manufacturing process.

[0041] (Gestalt 3 of operation) Drawing 19 - drawing 23 are the cross sections showing the manufacturing process of the SOI wafer which is the gestalt of other operations of this invention. The SOI wafer and its manufacture method of a gestalt of this operation are concretely explained using this drawing.

[0042] First, after [used as the semiconductor substrate 1 for the bases in a SOI wafer] preparing a p type silicon substrate, for example and applying the photoresist film 2 to the front face using a rotation coater, patterning of the photoresist film 2 is performed using an aligner. The ion implantation of the n type impurities, such as Phosphorus, is carried out to the semiconductor substrate 1 for the bases with high high impurity concentration by using as a mask the photoresist film 2 by which patterning was carried out with ion-implantation. Then, after removing the photoresist film 2 which became unnecessary, thermal diffusion of the n type impurity by which ion implantation is carried out is carried out, and the semiconductor region 3 of n type for wiring is formed in the semiconductor substrate 1 for the bases (drawing 19). since n type impurity of high high impurity concentration [semiconductor region / of n type for wiring / 3] is contained -- low -- and it can consider as the wiring layer which was excellent in the electrical property

[0043] Next, after applying the photoresist film 4 to the front face of the semiconductor substrate 1 for the bases using a rotation coater, patterning of the photoresist film 4 is performed using an aligner. The ion implantation of the p type impurities, such as boron, is carried out to the semiconductor substrate 1 for the bases with high high impurity concentration by using as a mask the photoresist film 4 by which patterning was carried out with ion-implantation. Then, after removing the photoresist film 4 which became unnecessary, thermal diffusion of the p type impurity by which ion implantation is carried out is carried out, and the semiconductor region 5 of p type for capacitive element is formed in the semiconductor substrate 1 for the bases (drawing 20). In this case, the capacitive element of the gestalt of this operation uses the capacity of the pn junction of the n type semiconductor region 3 and the p type semiconductor region 5.

[0044] Then, on the front face of the semiconductor substrate 1 for the bases, after forming the insulator layers 6, such as a silicon-oxide film, (for example, after sticking the semiconductor substrates 7 for element formation, such as a p type silicon substrate, on the front face of an insulator layer 6), it considers as the semiconductor substrate 7 for element formation by which ground the front face of the semiconductor substrate 7 for element formation if needed, and flattening was moreover carried out by predetermined thickness (drawing 21).

[0045] It can consider as the structure where make an insulator layer 6 intervene and the semiconductor substrate 7 for element formation is formed of the manufacturing process mentioned above on the semiconductor substrate 1 for the bases equipped with the capacitive element which is using the capacity of the pn junction of the p type semiconductor region 5 which forms the semiconductor region 3 of n type as a wiring layer, and it and pn junction, and the SOI wafer of the gestalt of this operation can be formed.

[0046] Next, the contact hole 9 for the semiconductor region 3 of n type as a wiring layer in the SOI wafer of the gestalt of this operation is formed (drawing 22). specifically, after applying the photoresist film 8 to the front face of the SOI wafer of the gestalt of this operation using a rotation coater, it is in contact with the semiconductor region 3 of n type as a wiring layer using photolithography technology and selective-etching technology -- the contact hole 9 of trench structure is formed Then, after removing the photoresist film 8 which became unnecessary, a conductive material is embedded at a contact hole 9, and the contact plug 10 is formed (drawing 23). The contact plug 10 is a pillar-like, i.e., a pillar, for example, material, such as refractory metals, such as a tungsten or titanium, or conductive polycrystal silicon, is used for it, and it forms them using the sputtering method or CVD.

[0047] By having the semiconductor region 3 of n type as the capacitive element which used the capacity of pn junction for the semiconductor substrate 1 for the bases under an insulator layer 6, and a wiring layer according to the SOI wafer of the gestalt of this operation mentioned above Since the capacitive element and the wiring layer which are formed in the semiconductor substrate 1 for the bases can be used when forming the semiconductor device formed in the semiconductor substrate 7 for element formation, and its wiring layer, simplification and detailed-izing of device structure can be performed.

[0048] Moreover, according to the semiconductor integrated circuit equipment using the SOI wafer and its manufacture method of a gestalt of this operation mentioned above, the capacitive element and wiring layer can be used for semiconductor integrated circuit equipments, such as DRAM, by using the SOI wafer which has the semiconductor substrate 1 for the bases equipped with the semiconductor region 3 of n type as capacitive element and a wiring layer. Therefore, the same effect as the semiconductor integrated circuit equipment of the gestalt 2 of operation mentioned above and its manufacture method can be acquired.

[0049] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the gestalt of the aforementioned implementation and does not deviate from the summary.

[0050] For example, when forming the wiring layer which becomes a semiconductor substrate for the bases in a SOI wafer from a semiconductor region, it can consider as the mode which carries out the ion implantation of the impurity to the semiconductor substrate for the bases under an insulator layer with ion-implantation from the front face of the semiconductor substrate for element formation in the SOI wafer with which the semiconductor substrate for element formation is formed through the insulator layer on the semiconductor substrate for the bases, and forms the semiconductor region of high high impurity concentration for wiring.

[0051] Moreover, it can consider as the mode which combined various semiconductor devices, such as BiMOS which combined MOSFET, CMOSFET, the bipolar transistor, or MOSFET and a bipolar transistor, or BiCMOS structure, as a

semiconductor device formed in the semiconductor substrate for element formation in a SOI wafer.

[0052] Furthermore, as a semiconductor device formed in the semiconductor substrate for element formation in a SOI wafer, they are DRAM and FRAM (Ferroelectric RAM). Or it can consider as the mode of the semiconductor device which constitutes memory cells, such as SRAM.

[0053]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0054] (1) according to the SOI wafer of . this invention, by equipping the semiconductor substrate for the bases under an insulator layer with the semiconductor region as a wiring layer Since the wiring layer currently formed in the semiconductor substrate for the bases can be used when forming the semiconductor device formed in the semiconductor substrate for element formation, and its wiring layer Since the multilayer structure of the wiring layer formed on the semiconductor substrate for element formation can be reduced while the flexibility of the design specification of the wiring field of a semiconductor device improves, simplification and detailed-izing of device structure can be performed.

[0055] (2) Since the capacitative element and the wiring layer which are formed in the semiconductor substrate for the bases can be used when forming the semiconductor device formed in the semiconductor substrate for element formation by equipping the semiconductor substrate for the bases under an insulator layer with the semiconductor region as capacitative element and a wiring layer, and its wiring layer according to the SOI wafer of . this invention, simplification and detailed-izing of device structure can be performed.

[0056] (3) According to the semiconductor integrated circuit equipment using the SOI wafer and its manufacture method of . this invention By using the SOI wafer which has a semiconductor substrate for the bases equipped with the semiconductor region as a wiring layer Since the wiring layer currently formed in the semiconductor substrate for the bases can be used when forming the semiconductor device formed in the semiconductor substrate for element formation, and its wiring layer While the flexibility of the design specification of the wiring field of a semiconductor device improves, the multilayer structure of the wiring layer formed on the semiconductor substrate for element formation can be reduced. Therefore, while being able to reduce the area of a semiconductor device, the flat nature of the wiring layer formed on the semiconductor substrate for element formation can be improved, and highly efficient semiconductor integrated circuit equipment can be manufactured using an easy manufacturing process.

[0057] (4) According to the semiconductor integrated circuit equipment using the SOI wafer and its manufacture method of . this invention For example, by using the SOI wafer which has a semiconductor substrate for the bases equipped with the semiconductor region as the capacitative element currently used for DRAM etc., and a wiring layer Since the capacitative element and the wiring layer which are formed in the semiconductor substrate for the bases can be used when forming the semiconductor device formed in the semiconductor substrate for element formation, and its wiring layer, it can reduce forming capacitative element in the field of the semiconductor substrate for element formation, and the wiring layer formed on it. Moreover, while the flexibility of the design specification of the wiring field of the semiconductor device formed in the semiconductor substrate for element formation improves, the multilayer structure of the wiring layer formed on the semiconductor substrate for element formation can be reduced. Therefore, while being able to reduce the area of a semiconductor device, the flat nature of the wiring layer formed on the semiconductor substrate for element formation can be improved, and semiconductor integrated circuit equipments, such as highly efficient DRAM, can be manufactured using an easy manufacturing process.

[Translation done.]